

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月17日  
Date of Application:

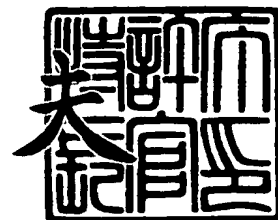
出願番号 特願2003-112530  
Application Number:  
[ST. 10/C]: [JP 2003-112530]

出願人 パイオニア株式会社  
Applicant(s):

2003年12月24日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3106780

【書類名】 特許願

【整理番号】 57P0616

【提出日】 平成15年 4月17日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/28  
G09G 3/20

【発明の名称】 表示パネル駆動方法

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア  
株式会社内

【氏名】 岩見 隆

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア  
株式会社内

【氏名】 湯浅 豊久

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネル駆動方法

【特許請求の範囲】

【請求項 1】 複数の行電極対と、前記複数の行電極対に交叉して配列された複数の列電極と、前記行電極対と前記列電極との交点の各々に配置された容量性発光素子とを含む表示パネルを、リセット行程、アドレス行程、及びサステイン行程から成る駆動行程の繰り返しにより駆動する表示パネル駆動方法であって、

前記サステイン行程の期間中、前記列電極の各々に接続された列電極駆動回路の出力端を高インピーダンス状態に保ち、かつ前記行電極対を構成する第 1 の行電極と第 2 の行電極の各々に位相の異なる複極性パルス信号を供給することを特徴とする表示パネル駆動方法。

【請求項 2】 前記第 1 の行電極に供給される複極性パルス信号と半周期位相の異なる複極性パルス信号を前記第 2 の行電極に供給することを特徴とする請求項 1 に記載の表示パネル駆動方法。

【請求項 3】 前記複極性パルス信号の一周期は、所定極性のパルスを含む第 1 の半周期と、前記パルスと逆極性のパルスを含む第 2 の半周期から成り、

前記第 2 の半周期に含まれるパルスは、前記第 1 の半周期におけるパルスの立ち上がり時間の経過後に立ち上がり、

前記第 1 の半周期に含まれるパルスは、前記第 2 の半周期におけるパルスの立ち下がり時間の経過後に立ち下がることを特徴とする請求項 2 に記載の表示パネル駆動方法。

【請求項 4】 前記複極性パルス信号に含まれる正極性パルスと負極性パルスの各々の立ち上がり縁部、及び立ち下がり縁部は、共振回路の共振に基づく電位の遷移によって構成されることを特徴とする請求項 1 に記載の表示パネル駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネル（以下、“PDP”と称する）や、エ

レクトロルミネセンス（以下、“EL”と称する）パネル等の表示パネルを駆動する表示パネルの駆動方法等に関する。

#### 【0002】

##### 【従来の技術】

現在、いわゆる壁掛型TVとして、PDP、EL等の如き自発光型の平面表示パネルを用いた表示装置が製品化されており、例えば、PDPを表示パネルとして用いた表示装置として特許文献1に示すような技術が開示されている。特許文献1に開示されたPDP表示装置における駆動回路の概略構成を、図1のブロック図に示す。

#### 【0003】

同図において、表示パネルであるPDP10は、X電極及びY電極の1対にて1画面の各行（第1行～第n行）に対応した行電極対を為す行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。更に、PDP10には、上記行電極対に直交し、かつ図示せぬ誘電体層及び放電空間層を挟んで、1画面の各列（第1列～第m列）に対応した列電極 $Z_1 \sim Z_m$ が形成されている。尚、1対の行電極対（ $X_i, Y_i$ ）と1つの列電極 $Z_j$ との交差部には1つの放電セル $C(i, j)$ が形成される。

#### 【0004】

行電極駆動回路30は、先ず、図2に示されるが如き正電圧のリセットパルス $RP_y$ を発生してこれを行電極 $Y_1 \sim Y_n$ の各々に同時に印加する。これと同時に、行電極駆動回路40は、負電圧のリセットパルス $RP_x$ を発生してこれを全ての行電極 $X_1 \sim X_n$ に同時に印加する。

これらのリセットパルス $RP_x$ 及び $RP_y$ の同時印加により、PDP10の全ての放電セルが放電励起され荷電粒子が発生する。この放電の終息後、全放電セルの誘電体層には一様に、所定量の壁電荷が形成されることになる。因みに、かかる処理工程をリセット行程と称する。

#### 【0005】

リセット行程の終了後、列電極駆動回路20は、画面の第1行～第n行の各々に対応した画素データに応じた画素データパルス $DP_1 \sim DP_n$ を生成する。そして、これらの画素データパルスを図2に示されるが如く順次列電極 $Z_1 \sim Z_m$ に印

加して行く。一方、行電極駆動回路 30 は、画素データパルス  $DP_1 \sim DP_n$  各々の印加タイミングに応じて負電圧の走査パルス  $SP$  を生成する。そして、これを図 2 に示されるが如く、順次行電極  $Y_1 \sim Y_n$  へと印加して行く。

#### 【0006】

上記の走査パルス  $SP$  が印加された行電極に属する放電セルの内、更に、正電圧の画素データパルス  $DP$  が同時に印加された放電セルにおいて放電が生じ、その壁電荷の大半が失われる。一方、走査パルス  $SP$  が印加されたものの正電圧の画素データパルス  $DP$  が印加されなかった放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。このとき、壁電荷が残留したままとなった放電セルは発光放電セル、壁電荷が消滅してしまった放電セルは非発光放電セルとなる。因みに、かかる処理工程をアドレス行程と称する。

#### 【0007】

アドレス行程が終了すると、行電極駆動回路 30 は、図 2 に示されるが如く、正電圧のサステインパルス  $IP_Y$  を連続して行電極  $Y_1 \sim Y_n$  の各々に印加する。これと共に、行電極駆動回路 40 は、かかるサステインパルス  $IP_Y$  の印加タイミングとずれたタイミングで、正電圧のサステインパルス  $IP_X$  を連続して行電極  $X_1 \sim X_n$  の各々に印加する。かかるサステインパルス  $IP_X$  及び  $IP_Y$  が交互に印加されている期間に亘り、上記壁電荷が残留したままとなっている発光放電セルは、放電発光を繰り返してその発光状態を維持する。因みに、かかる処理工程をサステイン行程と称する。

#### 【0008】

図 1 に示される駆動制御回路 50 は、供給された映像信号のタイミングに基づいて、図 2 に示されるが如き各種の駆動パルスを生成する為の各種スイッチング信号を生成する。そして、これらスイッチング信号を上記列電極駆動回路 20、行電極駆動回路 30 及び 40 の各々に供給する。すなわち、列電極駆動回路 20、行電極駆動回路 30 及び 40 の各々は、駆動制御回路 50 から供給されるスイッチング信号に応じて、図 2 に示される各種駆動パルスを生成するのである。

#### 【0009】

また、上記各々の電極駆動回路の内部には、リセットパルス  $RP_Y$  や、サステ

インパルス  $IP_X$ 、 $IP_Y$  など各種の駆動パルスを生成するパルス生成回路が、各行乃至各列の電極毎に設けられている。なお、これらのパルス生成回路は、何れも、インダクタ  $L$  とキャパシタ  $C$  から成る  $LC$  共振回路によるキャパシタの充放電を利用して、上記の各種駆動パルスを生成するものである。

#### 【0010】

すなわち、 $PDP10$  の各放電セル  $C(i, j)$  が容量性の負荷であることに注目して、これに誘導性素子であるインダクタ、及び電力回収用のキャパシタを組み合わせ、共振回路を形成する。そして、 $FET$  等のスイッチング素子を上記の駆動制御回路 50 から供給されるスイッチング信号に応じて開閉して、かかる共振回路を所定のタイミングで励振することにより所望の駆動パルスを生成するのである。

#### 【0011】

上述の如く、従来技術においては、容量性負荷である放電セルを駆動する回路に共振回路を用いて表示パネル駆動時の電力損失の改善を図っている。しかしながら、共振回路によって放電セルを励振する場合、一般に、数十～百数十ボルト程度の比較的高い電圧が用いられる。このため、表示パネル駆動時における電力損失は依然として大きく、より一層の無効電力の削減が要望されている。

#### 【0012】

##### 【特許文献1】

特開 2000-155557 号公報

#### 【0013】

##### 【発明が解決しようとする課題】

本発明は、かかる問題を解決するために為されたものであり、本発明が解決しようとする課題には、例えば、放電セルの励振時における消費電力を低減し得る表示パネル駆動方法を提供することが一例として挙げられる。

#### 【0014】

##### 【課題を解決するための手段】

本発明は、複数の行電極対と、前記複数の行電極対に交叉して配列された複数の列電極と、前記行電極対と前記列電極との交点の各々に配置された容量性発光

素子とを含む表示パネルを、リセット行程、アドレス行程、及びサステイン行程から成る駆動行程の繰り返しにより駆動する表示パネル駆動方法であって、前記サステイン行程の期間中、前記列電極の各々に接続された列電極駆動回路の出力端を高インピーダンス状態に保ち、かつ前記行電極対を構成する第1の行電極と第2の行電極の各々に位相の異なる複極性パルス信号を供給することを特徴とする。

#### 【0015】

##### 【発明の実施の形態】

図3は、本発明に基づく表示パネルの駆動方法が実施される表示パネル駆動装置の構成を示すブロック図である。

図3において、表示パネルであるPDP10は、X電極及びY電極の1対にて1画面の各行（第1行～第n行）に対応した行電極対を為す行電極 $X_1 \sim X_n$ 、及び行電極 $Y_1 \sim Y_n$ を備えている。更に、PDP10には、上記行電極対に直交し、かつ図示せぬ誘電体層及び放電空間層を挟んで1画面の各列（第1列～第m列）に対応した列電極 $Z_1 \sim Z_m$ が形成されている。なお、1対の行電極対（ $X_i$ ,  $Y_j$ ）と1つの列電極 $Z_j$ との交差部には1つの放電セル $C(i, j)$ が形成される。

#### 【0016】

行電極駆動回路31は、前述のリセットパルスやサステインパルス等の種々の駆動パルスを生成して、これらのパルスを所定のタイミングで行電極 $Y_1 \sim Y_n$ の各々に印加する。同様に、行電極駆動回路41も種々の駆動パルスを生成して、これらのパルスを所定のタイミングで行電極 $X_1 \sim X_n$ の各々に印加する。また、列電極駆動回路21は、画面第1行～第n行各々に対応した画素データに応じた画素データパルスを生成し、これらのパルスを順次列電極 $Z_1 \sim Z_m$ に印加する。

#### 【0017】

そして、行電極駆動回路31及び41、列電極駆動回路21の各々の内部には、上記各種の駆動パルスを生成するパルス生成回路が各行及び各列の電極毎に設けられている。

駆動制御回路51は、供給された映像信号に基づき、上記の各種駆動パルスを生成する為の各種のスイッチング信号を生成する。そして、これらのスイッチン



グ信号を列電極駆動回路 2 1、行電極駆動回路 3 1 及び 4 1 の各々の内部に設けられているパルス生成回路に供給する。

#### 【0018】

次に、行電極駆動回路 3 1 及び 4 1、列電極駆動回路 2 1 の各々の内部に設けられているパルス生成回路の具体的な構成を、図 4 に示す回路図を参照しつつ説明する。

なお、図 4 の回路は、本発明による表示パネル駆動方法が実施される 1 つの実施例を示すものであって、本発明の実施の形態がかかる回路構成に限定されるものでないことは言うまでもない。また、図 4 に示される回路は、PDP 10 の 1 つの放電セル、即ち、1 の行電極対と 1 の列電極に関するパルス生成回路の構成を表すものである。従って、行電極駆動回路 3 1 及び 4 1、列電極駆動回路 2 1 の各々の内部には、図 4 に示されるパルス生成回路が、1 画面の第 1 行～第 n 行の各行毎、及び第 1 列～第 m 列の各列毎に設けられているものとする。

#### 【0019】

先ず、図 4 の行電極駆動回路 3 1 (Y 電極駆動回路) に含まれるパルス生成回路の構成について説明を行う。

同図において、直流電圧  $+V_s/2$  [V]、及び  $-V_s/2$  [V] を発生させる図示せぬ直流電源のアース端子 (0 [V]) は PDP 10 の接地電位であるアース電位 G (0 [V]) に接続されている。そして、かかる直流電源の正側端子 ( $+V_s/2$  [V]) は、本回路の電源端子 T 1 に、負側端子 ( $-V_s/2$  [V]) は、本回路の電源端子 T 2 に、それぞれ接続されている。

#### 【0020】

さらに、電源端子 T 1 にはスイッチ B 2 Y S の一端が接続されており、スイッチ B 2 Y S の他端は、ダイオード G 2 Y D の陽極、直列枝 U 2 Y と直列枝 D 2 Y 各々の一端、及び接続ライン Y 1 2 に接続されている。なお、直列枝 U 2 Y とは、インダクタ U 2 Y L、ダイオード U 2 Y D、及びスイッチ U 2 Y S から成る直列回路をいう。同様に、直列枝 D 2 Y とは、インダクタ D 2 Y L、ダイオード D 2 Y D、及びスイッチ D 2 Y S から成る直列回路をいう。

#### 【0021】

一方、直列枝U2Y、及び直列枝D2Y各々の他端は共にキャパシタC2の一端に接続されており、キャパシタC2の他端は、アースG(0[V])に接続されている。因みに、直列枝U2Y、直列枝D2Y、及びキャパシタC2からなる部分が、行電極駆動回路31に含まれるパルス生成回路において1つの共振回路を構成する。

#### 【0022】

一方、ダイオードG2YDの陰極は、スイッチG2YSの一端に接続され、スイッチG2YSの他端は、ダイオードB1YDの陽極、上記キャパシタC2の他端、及びアースG(0[V])に接続されている。

さらに、ダイオードB1YDの陰極は、スイッチB1YSの一端に接続されており、スイッチB1YSの他端は、スイッチG1YSの一端、接続ラインY12、及び直列枝U1Yと直列枝D1Y各々の一端に接続されている。なお、直列枝U1Yとは、インダクタU1YL、ダイオードU1YD、及びスイッチU1YSから成る直列回路をいう。同様に、直列枝D1Yとは、インダクタD1YL、ダイオードD1YD、及びスイッチD1YSから成る直列回路をいう。

#### 【0023】

そして、直列枝U1Y、及び直列枝D1Yの各々の他端は共にキャパシタC1の一端に接続されており、キャパシタC1の他端は、アースG(0[V])に接続されている。因みに、直列枝U1Y、直列枝D1Y、及びキャパシタC1から成る部分が、行電極駆動回路31に含まれるパルス生成回路において他の1の共振回路を構成する。また、スイッチG1YSの他端は、電源端子T2( $-V_s/2$ [V])に接続されている。

#### 【0024】

一方、接続ラインY12は、抵抗R1の一端、スイッチVofSの一端、バイアス電源Vhの陰極側、スイッチS21の一端、及びダイオードD21の陽極に接続されている。そして、抵抗R1の他端は、スイッチRYSを介して電源端子T3( $+V_{ry}$ [V])に接続されており、スイッチVofSの他端は、電源端子T4( $-V_{of}$ [V])に接続されている。また、電源Vhの陽極側は、スイッチS22の一端、及びダイオードD22の陰極に接続されている。そして、ス

イッチ S 2 1 とスイッチ S 2 2 の他端、及びダイオード D 2 1 の陰極とダイオード D 2 2 の陽極は、共に接続ライン Y 1 1 に接続されている。因みに、接続ライン Y 1 2 と接続ライン Y 1 1 との間に設けられた回路は、リセット行程及びアドレス行程におけるリセットパルスや走査パルスを生成する部分である。

#### 【0025】

なお、接続ライン Y 1 1 は、PDP 10 の Y 行電極に至るパルス信号の出力端子であり、PDP 10 における放電セル C (i, j) の容量成分が接続されることになる。

次に、図 4 の行電極駆動回路 4 1 (X 電極駆動回路) に含まれるパルス生成回路の構成について説明を行う。

#### 【0026】

同図において、電源端子 T 5 には、図示せぬ電源回路から直流電圧  $+V_s/2$  [V] が、電源端子 T 6 には直流電圧  $-V_s/2$  [V] が各々接続されている。更に、電源端子 T 5 にはスイッチ B 2 X S の一端が接続されており、スイッチ B 2 X S の他端は、ダイオード G 2 X D の陽極、直列枝 U 2 X と直列枝 D 2 X 各々の一端、及び接続ライン X 1 1 に接続されている。なお、直列枝 U 2 X とは、インダクタ U 2 X L、ダイオード U 2 X D、及びスイッチ U 2 X S から成る直列回路をいう。同様に、直列枝 D 2 X とは、インダクタ D 2 X L、ダイオード D 2 X D、及びスイッチ D 2 X S から成る直列回路をいう。

#### 【0027】

直列枝 U 2 X、及び直列枝 D 2 X 各々の他端は共にキャパシタ C 4 の一端に接続されており、キャパシタ C 4 の他端は、アース G (0 [V]) に接続されている。因みに、直列枝 U 2 X、直列枝 D 2 X、及びキャパシタ C 4 からなる部分が、行電極駆動回路 4 1 に含まれるパルス生成回路において 1 つの共振回路を構成する。

#### 【0028】

一方、ダイオード G 2 X D の陰極は、スイッチ G 2 X S の一端に接続され、スイッチ G 2 X S の他端は、ダイオード B 1 X D の陽極、上記キャパシタ C 4 の他端、及びアース G (0 [V]) に接続されている。

また、ダイオード  $B1XD$  の陰極は、スイッチ  $B1XS$  の一端に接続されており、スイッチ  $B1XS$  の他端は、スイッチ  $G1XS$  の一端、接続ライン  $X11$ 、及び直列枝  $U1X$  と直列枝  $D1X$  各々の一端に接続されている。なお、直列枝  $U1X$  とは、インダクタ  $U1XL$ 、ダイオード  $U1XD$ 、及びスイッチ  $U1XS$  から成る直列回路をいう。同様に、直列枝  $D1X$  とは、インダクタ  $D1XL$ 、ダイオード  $D1XD$ 、及びスイッチ  $D1XS$  から成る直列回路をいう。

#### 【0029】

直列枝  $U1X$ 、及び直列枝  $D1X$  の各々の他端は共にキャパシタ  $C3$  の一端に接続されており、キャパシタ  $C3$  の他端は、アース  $G(0[V])$  に接続されている。因みに、直列枝  $U1X$ 、直列枝  $D1X$ 、及びキャパシタ  $C3$  から成る部分が、行電極駆動回路 41 に含まれるパルス生成回路において他の 1 の共振回路を構成する。また、スイッチ  $G1XS$  の他端は、電源端子  $T6(-V_s/2[V])$  に接続されている。

#### 【0030】

一方、接続ライン  $X11$  は、抵抗  $R2$  の一端に接続されており、抵抗  $R2$  の他端は、スイッチ  $RXS$  を介して、電源端子  $T7(-V_{rx}[V])$  に接続されている。また、接続ライン  $X11$  は、 $PDP10$  の  $X$  行電極に至るパルス信号の出力端子であり、 $PDP10$  における放電セル  $C(i,j)$  の容量成分が接続されることになる。

#### 【0031】

次に、図 4 の列電極駆動回路 21 ( $Z$  電極駆動回路) に含まれるパルス生成回路の構成について説明を行う。

同図において、電源端子  $T8$  には、図示せぬ電源回路より直流電圧  $+V_a[V]$  が接続されており、また、スイッチ  $BAS$  の一端が接続されている。

一方、スイッチ  $BAS$  の他端には、直列枝  $UA$  と直列枝  $DA$  各々の一端、及びスイッチ  $S31$  の一端が接続されている。なお、直列枝  $UA$  とは、インダクタ  $UAL$ 、ダイオード  $UAD$ 、及びスイッチ  $UAS$  から成る直列回路をいう。同様に、直列枝  $DA$  とは、インダクタ  $DAL$ 、ダイオード  $DAD$ 、及びスイッチ  $DAS$  から成る直列回路をいう。

**【0032】**

そして、直列枝UA、及び直列枝DA各々の他端は、共にキャパシタC5の一端に接続されており、キャパシタC5の他端は、アースG（0 [V]）に接続されている。因みに、直列枝UA、直列枝DA、及びキャパシタC5からなる部分が、列電極駆動回路21に含まれるパルス生成回路において共振回路を構成している。

**【0033】**

一方、スイッチS31の他端は、スイッチS32の一端と接続ラインZ11に接続されており、スイッチS32の他端は、アースG（0 [V]）に接続されている。そして、接続ラインZ11は、PDP10の列電極（Z電極）に至るパルス信号の出力端子であり、PDP10における放電セルC(i, j)の容量成分が接続されることになる。

**【0034】**

次に、本発明による表示パネルの駆動方法について説明を行う。

先ず、本発明の第1のポイントである、サステイン行程の期間中における列電極（Z電極）の処理について説明する。

前述の図4に示された回路の放電セルを中心として描いた回路構成図を図5に示す。同図において、Y11は、行電極駆動回路31からPDP10の放電セルのY電極への接続ラインであり、同時に行電極駆動回路31からY電極への出力端子を意味している。同様にして、X11及びZ11は、行電極駆動回路41及び列電極駆動回路21から、放電セルのX電極及びZ電極への出力端子を表している。

**【0035】**

なお、図5に示す如く、PDP10の放電セルにおいて、X電極とY電極、Y電極とZ電極、及びX電極とZ電極の各電極間に形成される容量成分を、それぞれ $C_{XY}$ 、 $C_{ZY}$ 、及び $C_{ZX}$ と規定する。

従来の駆動回路では、サステイン行程の期間中、放電セルのZ電極はアース電位に接地されるため、列電極駆動回路21のスイッチS31はオフ、S32はオンに設定されていた。従って、同期間中におけるX11とY11間の合成容量を

C1とすると、C1の値は、以下の様に表すことができる。

【0036】

$$C1 = C_{XY} + C_{ZY} \quad (\text{又は、} C_{XY} + C_{ZX})$$

ところで、サステイン行程の期間中は、X電極とY電極の各々にサステインパルス信号が印加され、各々の駆動回路に含まれる共振回路によって放電セルが励振される。従って、このときの放電セルの負荷容量、即ち上記C1の値が小さいほど励振時の電力損失が小さくなる。

【0037】

本発明は、かかる点に着目してサステイン行程の期間中、列電極駆動回路21のスイッチS31とS32共にオフとしてZ11を高インピーダンスに保ち、Z11に接続されたZ電極を電気的な浮遊状態にすることを特徴する。即ち、本発明の実施によるX11とY11間の合成容量をC2とすると、C2は、CZYとCZXとの直列枝とCXYとの並列回路となる。それ故、C2は、

$$C2 = C_{XY} + \{ (C_{ZY} \times C_{ZX}) / (C_{ZY} + C_{ZX}) \}$$

と表せる。ここで、

$$C_{ZY} = C_{ZX}$$

と仮定すると、上式は、

$$C2 = C_{XY} + C_{ZY} / 2$$

となり、本発明の実施例における合成容量C2は、従来技術の場合の合成容量C1と較べて、明らかに小さくなることが判る。

【0038】

放電セルの各々の電極間における具体的な容量成分を、例えば、

$$C_{XY} = 80.7 \text{ [pF/line]}$$

$$C_{ZY} = 78.5 \text{ [pF/line]}$$

$$C_{ZX} = 78.5 \text{ [pF/line]}$$

と仮定すれば、上記の各式より

$$C1 = 154.2 \text{ [pF/line]}$$

$$C2 = 117.5 \text{ [pF/line]}$$

なる結果が得られる。

## 【0039】

すなわち、上記の事例においては、サステイン行程の期間中に列電極を浮遊状態とすることによって、放電セルの負荷容量を約20%削減できる。通常のサステイン行程では共振による電力回収が行われるが、共振時間及び共振経路の抵抗成分を一定とするならば負荷容量を20%低減することによって、約35%程度の消費電力の削減が可能となる。

## 【0040】

次に、本発明の第2のポイントであるサステイン行程の期間中における、X電極及びY電極の各々に対するサステインパルスの供給方法について説明する。

一般に、図5に示される列電極駆動回路21のスイッチS31及びS32は、例えば、FETなどの半導体素子を用いて構成されることが多い。FETを用いた場合、そのドレイン・ソース間に寄生ダイオードが形成されるため、S31及びS32の各々のスイッチには、図6に示されるが如く、ダイオードD31及びD32が並列に接続された状態となる。

## 【0041】

従来の駆動方法では、サステイン行程の期間中に、X電極及びY電極に印加されるサステインパルスの電圧値は二百数十ボルト近辺に達する値となる。一方、図6からも明らかな如く、Z電極の電圧 $V_z$ は、X電極の電圧 $V_x$ 及びY電極の電圧 $V_y$ を電極間の容量成分 $C_{ZY}$ と $C_{ZX}$ によって分圧した値となる。そして、前述の $C_{ZY}=C_{ZX}$ なる条件に鑑みれば、 $V_z$ の値は、 $V_x$ と $V_y$ の平均電圧となり以下の様に表すことができる。

## 【0042】

$$V_z = (V_x + V_y) / 2$$

つまり、従来の駆動方法ではサステイン行程の期間中、Z電極には、X電極及びY電極に加わるサステインパルスの電圧によって百数十ボルト近辺の電圧が現れることになる。

一方、列電極駆動回路21に含まれる電源電圧（以下、アドレス電圧と称する）の設定値は、一般に60[V]程度であり、上記の $V_x$ と $V_y$ との平均電圧となる $V_z$ に較べて大幅に低い値である。それ故、サステイン行程の期間中におい

て、 $V_z$ の値が約60 [V]を超えた時点で、列電極駆動回路21に内蔵されるFETの寄生ダイオードがクランプされることになる。因みに、 $V_z$ の値が約60 [V]を超える時点は、X電極及びY電極に印加されるサステインパルスの電圧値が約120 [V]を超えるときであり、これは放電セルの励振が未だ中途段階であることを意味している。

#### 【0043】

ところで、前述した本発明の第1のポイントである放電セル励振時における負荷容量の低減は、Z電極への出力端子Z11が完全に高インピーダンス状態に維持されることによって初めて可能となる。それ故、サステイン共振の途中において、列電極駆動回路21の寄生ダイオードがクランプされ、出力端子Z11の高インピーダンス状態を維持することが困難になれば、基本原理通りの電力削減を達成することができない。

#### 【0044】

このため、本発明による実施例では、X電極及びY電極に印加されるサステインパルス信号を図7に示される電圧波形とすることにより、上述した寄生ダイオードのクランプを防止して、Z電極への出力端子を高インピーダンス状態に保つものとする。以下、図7のタイムチャートを参照しつつ、本発明による実施例の説明を行う。

#### 【0045】

先ず、X電極に印加されるサステインパルス信号（以下“Xサステイン信号”と称する）の電圧波形を図（7A）に示す。同図に示される如く、Xサステイン信号の一周期は、正極性のパルスを含む半周期と、負極性のパルスを含む半周期から構成されている。各々の半周期において、負極性パルスの立ち上がり開始時間 $t_{1'}$ は、正極性パルスの立ち上がり完了時間 $t_1$ よりも長く設定されている。また、正極性パルスの立ち下がり開始時間 $t_2$ は、負極性パルスの立ち下がり完了時間 $t_{2'}$ よりも長く設定されている。なお、図（7A）では、正極性パルスのパルス幅を負極性パルスのパルス幅よりも広く設定しているが、両パルスの極性を逆転させて設定しても良い。

#### 【0046】



一方、Y電極に印加されるサステインパルス信号（以下“Yサステイン信号”と称する）の電圧波形を図（7B）に示す。同図に示される如く、Yサステイン信号は、Xサステイン信号の位相を半周期ずらした信号である。

かかるXサステイン信号及びYサステイン信号が、サステイン行程の期間中に亘り、放電セルのX電極とY電極に印加されるので、X電極とY電極との間の電位差変化、即ち（X－Y）の電圧変化は、図（7C）に示される電圧波形となる。同図からも明らかな如く、X或いはYサステイン信号の半周期毎にX電極とY電極間の電位差のピーク値は、サステイン放電に必要とされる二百数十ボルトに達し、各々のピーク値で放電セルにおけるサステイン放電が為されることになる。

#### 【0047】

前述の如く、サステイン行程の期間中におけるZ電極の電圧は、X電極及びY電極各々の電圧の平均である $(X+Y)/2$ となるので、X或いはYサステイン信号に対応するZ電極の電圧は、図（7D）に示される電圧波形となる。同図からも明らかな如く、Z電極の電圧は、そのピーク値においても60[V]以下に収まっており、列電極駆動回路21に内蔵されるFETの寄生ダイオードのクランプを防止することができる。即ち、本実施例に基づくX及びYサステイン信号をX電極及びY電極の各々に供給することによって、サステイン放電に影響を与えることなく、Z電極を浮遊状態に維持することが可能となり、サステイン共振駆動時における負荷容量の削減が達成される。

#### 【0048】

次に、本発明の実施例によるサステイン行程の様子を、図4の回路図、及び図8のタイムチャートに即して説明する。

なお、図4の回路に含まれるスイッチング素子は、例えば、FETのドレイン端子とソース端子間を利用して構成しても良いし、その他の半導体素子を用いて構成しても良い。因みに、FETを用いた場合は、FETのゲート端子に印加される制御信号によって、当該スイッチング素子のオン／オフ制御が為されるものとする。

#### 【0049】

また、図 4 に示されるスイッチング素子は、全て図 3 に示される駆動制御回路 51 から供給される制御信号によって、そのオン／オフ状態が制御されるものとする。しかしながら、以下に示す図 8 のタイムチャートにおいては、説明を簡明にすべく、駆動制御回路 51 から供給される各種制御信号の記載は省略し、単に各スイッチング素子のオン／オフ状態の変化のみを時系列的に示すものとする。

#### 【0050】

なお、以下の説明において、各スイッチング素子の名称は全て、例えば U1XS のようにその符号名のみを表記するものとし、同様に、他のキャパシタやインダクタ等の素子についても、例えば C1、U1XL のようにその符号のみをもって表すものとする。

先ず、図 8 のタイムチャートに示される X サスティン信号の生成について説明を行う。

#### 【0051】

図 8 の時点  $t_0$  において、列電極駆動回路 21 の S31 及び S32 がオフとなり、放電セルの Z 電極に接続される Z11 が高インピーダンス状態となる。

次に、 $t_1$  の時点で行電極駆動回路 41 (X 電極駆動回路) の U2XS がオン、G2XS がオフとなり、X 電極への出力端子である X11 に直列枝 U2X を介して C4 が接続される。C4 は、図示せぬ手段により予め所定の電位に充電されており、この充電電荷が共振回路 U2X を介して X 電極に接続された放電セルの容量成分に流入し、かかる共振電流によって X 電極の電位が増加し始める。その後、 $t_2$  の時点で B2XS がオンとなるため、X 電極の電位は、 $T_5$  の電位 ( $+V_s/2$ ) にクランプされる。

#### 【0052】

その後、 $t_7$  の時点において、U2XS、B2XS がオフ、D2XS がオンとなって X 電極のクランプが解かれ、直列枝 U2X の代わりに、今度は、X 電極に直列枝 D2X が接続される。これによって、放電セルの容量成分に充電された電荷が、今度は、共振回路 D2X を介して C4 に放電されて、X 電極の電位は徐々に減少する。その後、 $t_8$  の時点で D2XS がオフ、G2XS がオンとなるので、X 電極から直列枝 D2X が切り離され、X 電極の電位は、G2XD を介してア

ース電位にクランプされる。

#### 【0053】

次に、 $t_{11}$ の時点において、 $D1XS$ がオンとなり直列枝 $D1X$ を介して $X$ 電極に $C3$ が接続される。 $C3$ は、図示せぬ手段により予め所定の負電位に充電されているため、 $X$ 電極の電位は、共振回路 $D1X$ を介する共振電流によって徐々に低下する。その後、 $t_{12}$ の時点で $G1XS$ がオンとなって、 $X$ 電極の電位は $T6$ の電位 ( $-V_s/2$ ) にクランプされる。

#### 【0054】

その後、 $t_{13}$ の時点において、 $D1XS$ 、 $G1XS$ がオフ、 $U1XS$ がオンとなって、 $X$ 電極のクランプが解かれ、直列枝 $D1X$ の代わりに、今度は、 $X$ 電極に直列枝 $U1X$ を介して $C3$ が接続される。これによって、共振回路 $U1X$ と $C3$ による電力回収により $X$ 電極の電位は徐々に増加する。

そして、 $t_{14}$ の時点において、 $U1XS$ がオフ、 $B1XS$ がオンとなり、 $X$ 電極から直列枝 $U1X$ が切り離され、 $X$ 電極の電位は、 $B1XD$ を介してアース電位にクランプされる。

#### 【0055】

以上の動作によって、図8に示される $X$ サスティン信号の一周期分の電圧波形が生成されることになる。

次に、 $Y$ サスティン信号の生成について説明する。なお、 $Y$ 電極へのサスティン信号は、接続ライン $Y12$ 、及びリセットパルス・走査パルス生成部を経て、出力端子 $Y11$ に供給されるが、かかる部分の動作は、本発明に直接の関係がない。従って、以下の説明では、かかる部分の動作を省略して、接続ライン $Y12$ を $Y$ 電極への出力端子と仮定して説明を行う。

#### 【0056】

まず、 $X$ サスティン信号の場合と同様に、図8のタイムチャートに示される時点 $t_0$ において、列電極駆動回路21の $S31$ 及び $S32$ がオフとなり、放電セルの $Z$ 電極が浮遊状態となる。

次に、 $t_1$ の時点において、行電極駆動回路31 ( $Y$ 電極駆動回路)の $B1YS$ がオフとなって、 $Y12$ のアース電位へのクランプが解除される。その後、 $t$

3の時点において、D1YSがオンとなり直列枝D1Yを介してY12にC1が接続される。C1は、図示せぬ手段により予め所定の負電位に充電されているため、Y12の電位は、共振回路D1Yを介する共振電流によって徐々に低下する。その後、t4の時点でG1YSがオンとなって、Y12の電位はT2の電位 ( $-V_s/2$ ) にクランプされる。

#### 【0057】

その後、t5の時点において、D1YS、G1YSがオフ、U1YSがオンとなって、Y12のクランプが解かれ、直列枝D1Yの代わりに、今度は、Y12に直列枝U1Yを介してC1が接続される。これによって、共振回路U1YとC1による電力回収によりY12の電位は徐々に増加する。

そして、t6の時点において、U1YSがオフ、B1YSがオンとなり、Y12から直列枝U1Yが切り離され、Y12の電位は、B1YDを介してアース電位にクランプされる。

#### 【0058】

次に、t9の時点でU2YSがオンとなって、Y12に直列枝U2Yを介してC2が接続される。C2は、図示せぬ手段により予め所定の電位に充電されており、この充電電荷が共振回路U2Yを介してY電極に接続された放電セルの容量成分に流入し、かかる共振電流によってY電極の電位が増加し始める。その後、t10の時点でB2YSがオンとなるため、Y12の電位は、T1の電位 ( $+V_s/2$ ) にクランプされる。

#### 【0059】

その後、t15の時点において、U2YS、B2YSがオフ、D2YSがオンとなってY12のクランプが解かれ、直列枝U2Yの代わりに、今度は、Y12に直列枝D2Yが接続される。これによって、放電セルの容量成分に充電された電荷が、今度は、共振回路D2Yを介してC2に放電されて、Y電極の電位は徐々に減少する。その後、t16の時点でD2YSがオフ、G2YSがオンとなるので、Y12から直列枝D2Yが切り離され、Y電極の電位は、G2YDを介してアース電位にクランプされる。これによって、図8に示されるが如く、Yサステイン信号の一周期分の電圧波形が生成される。

**【0060】**

以上の動作がサステイン行程の期間中に、図4に示される駆動回路において繰り返し実行され、これによって、放電セルのX及びY電極には、図8に示されるサステイン信号が周期的に現れることになる。

以上詳述した如く、本発明によれば、サステイン行程の全期間中において、列電極駆動回路の出力端を高インピーダンス状態に保ち、放電セルの負荷容量を削減し得るので、サステイン行程における消費電力を低減させることができる。

**【0061】**

なお、以上の説明では、

- ① リセット行程のリセット放電によって、一旦、表示パネル上の全ての放電セルに壁電荷を形成する。
- ② その後、アドレス行程における選択消去放電によって、一部の放電セルの壁電荷を選択的に消去して、各放電セル毎の点灯状態、又は消灯状態を設定する。

**【0062】**

という表示パネルの駆動シーケンスを例にとって説明を行った。

しかしながら、本発明の実施は、かかる事例に限定されるものではない。本発明による表示パネルの駆動方法を、例えば、リセット放電により全ての放電セルを消灯状態に初期化して、その後のアドレス行程における選択書込み放電によって壁電荷を選択的に形成して、各放電セル毎の点灯状態、又は消灯状態を設定する駆動シーケンスに適用しても良い。

**【図面の簡単な説明】****【図1】**

図1は、従来のPDP表示装置の概要構成を示すブロック図である。

**【図2】**

図2は、図1の装置における各種駆動パルスの印加タイミングを示すタイムチャートである。

**【図3】**

図3は、本発明による表示パネルの駆動方法を備えたPDP表示装置の概要構成を示すブロック図である。

**【図 4】**

図 4 は、本発明による表示パネル駆動方法の実施が為される 1 つのパルス生成回路を表す回路図である。

**【図 5】**

図 5 は、図 4 に示される PDP 10 の放電セルを中心として描いた回路構成図である。

**【図 6】**

図 6 は、図 4 に示される列電極駆動回路 21 の出力部を中心として描いた回路構成図である。

**【図 7】**

図 7 は、本発明によるサスティンパルス信号の電圧波形を示すタイムチャートである。

**【図 8】**

図 8 は、図 4 に示される回路におけるサスティンパルスの生成過程を表すタイムチャートである。

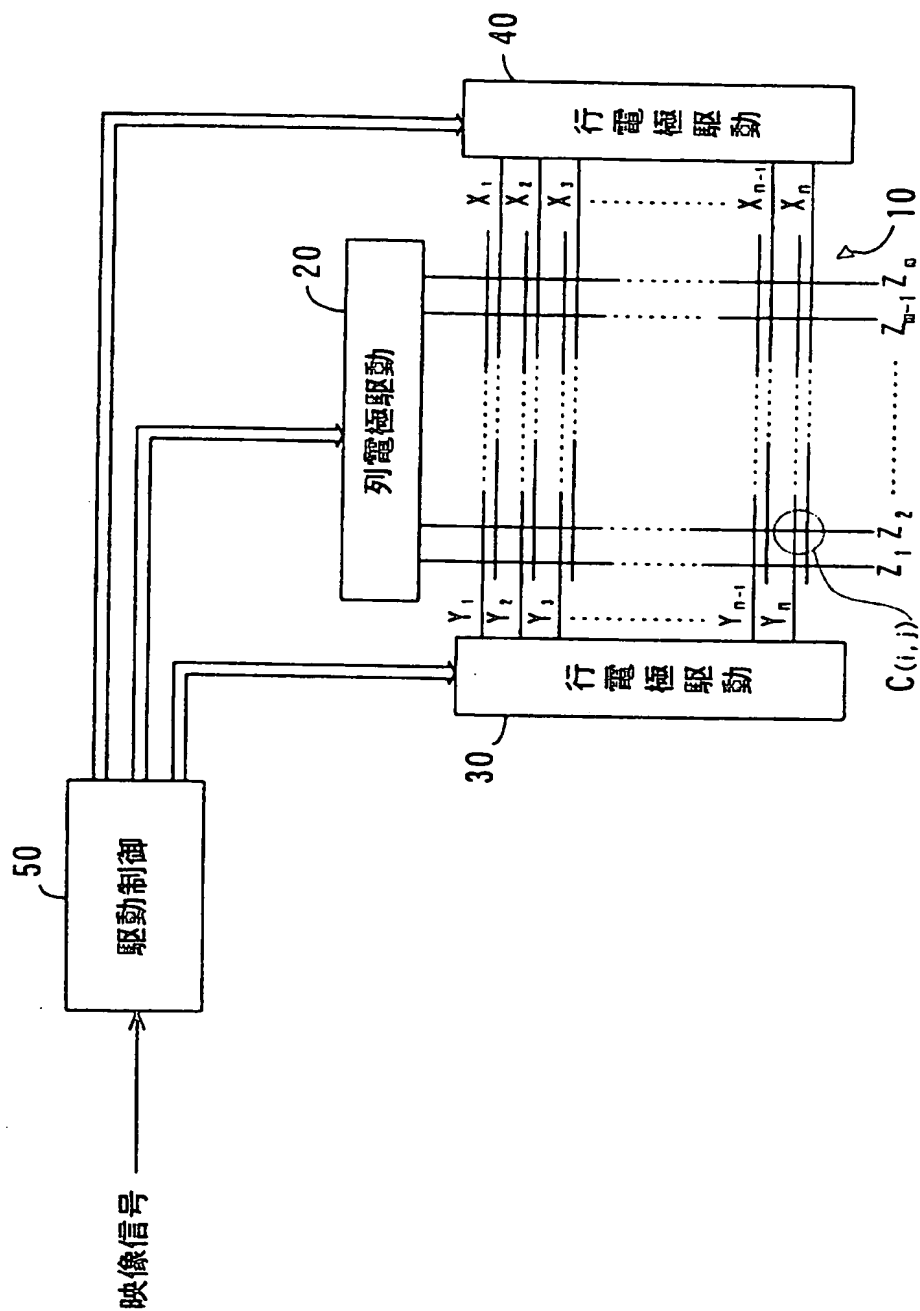
**【符号の説明】**

- 10 … PDP 表示パネル、又はパネル上の放電セル
- 20, 21 … 列電極駆動回路
- 30, 31 … 行電極駆動回路 (Y 電極)
- 40, 41 … 行電極駆動回路 (X 電極)
- 50, 51 … 駆動制御回路

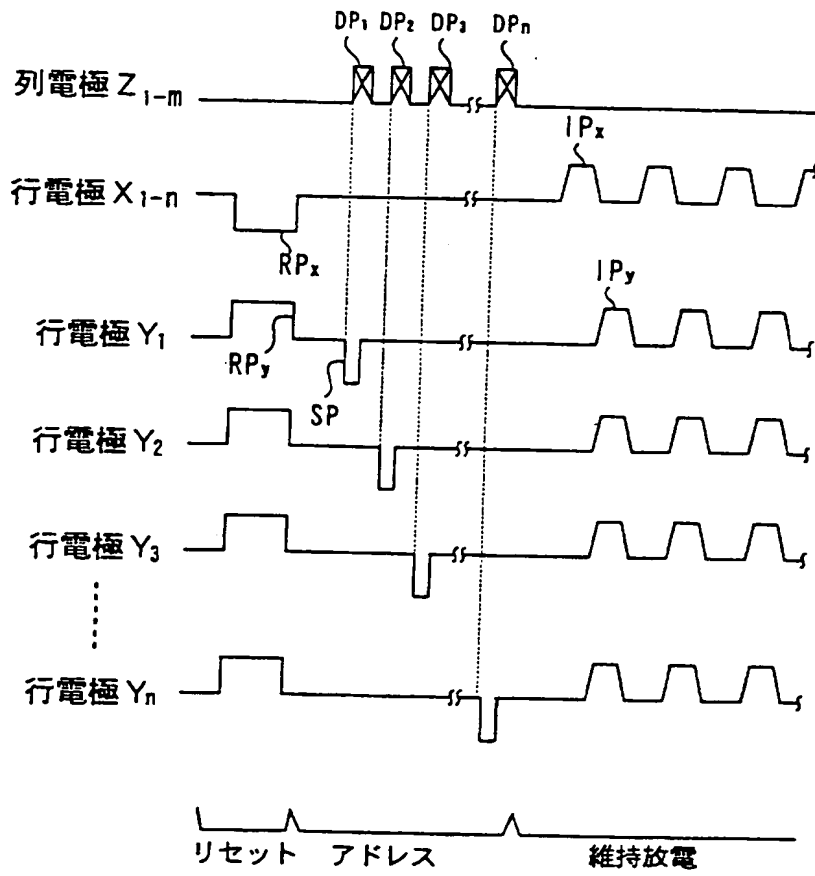
【書類名】

図面

【図 1】

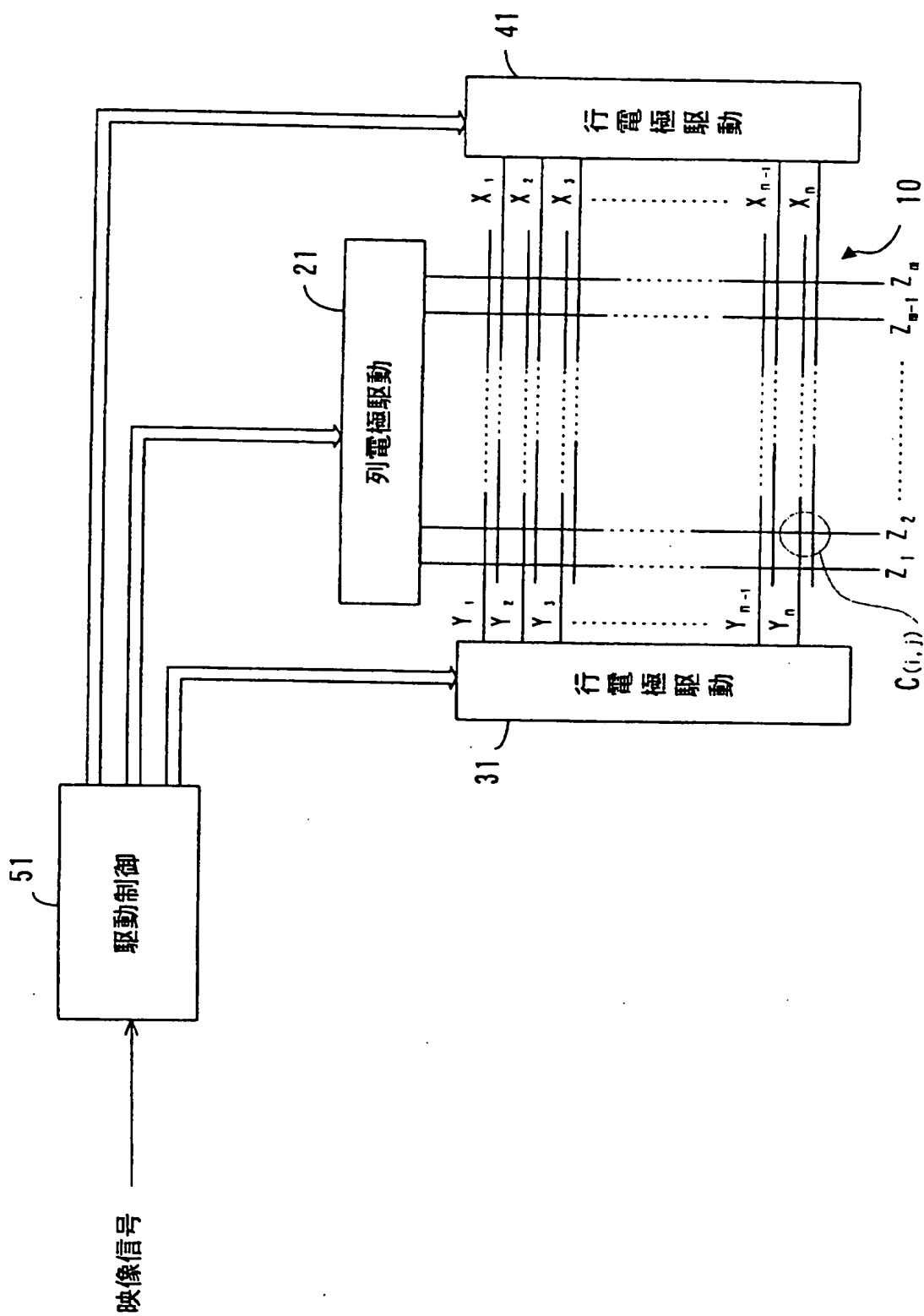


【図 2】

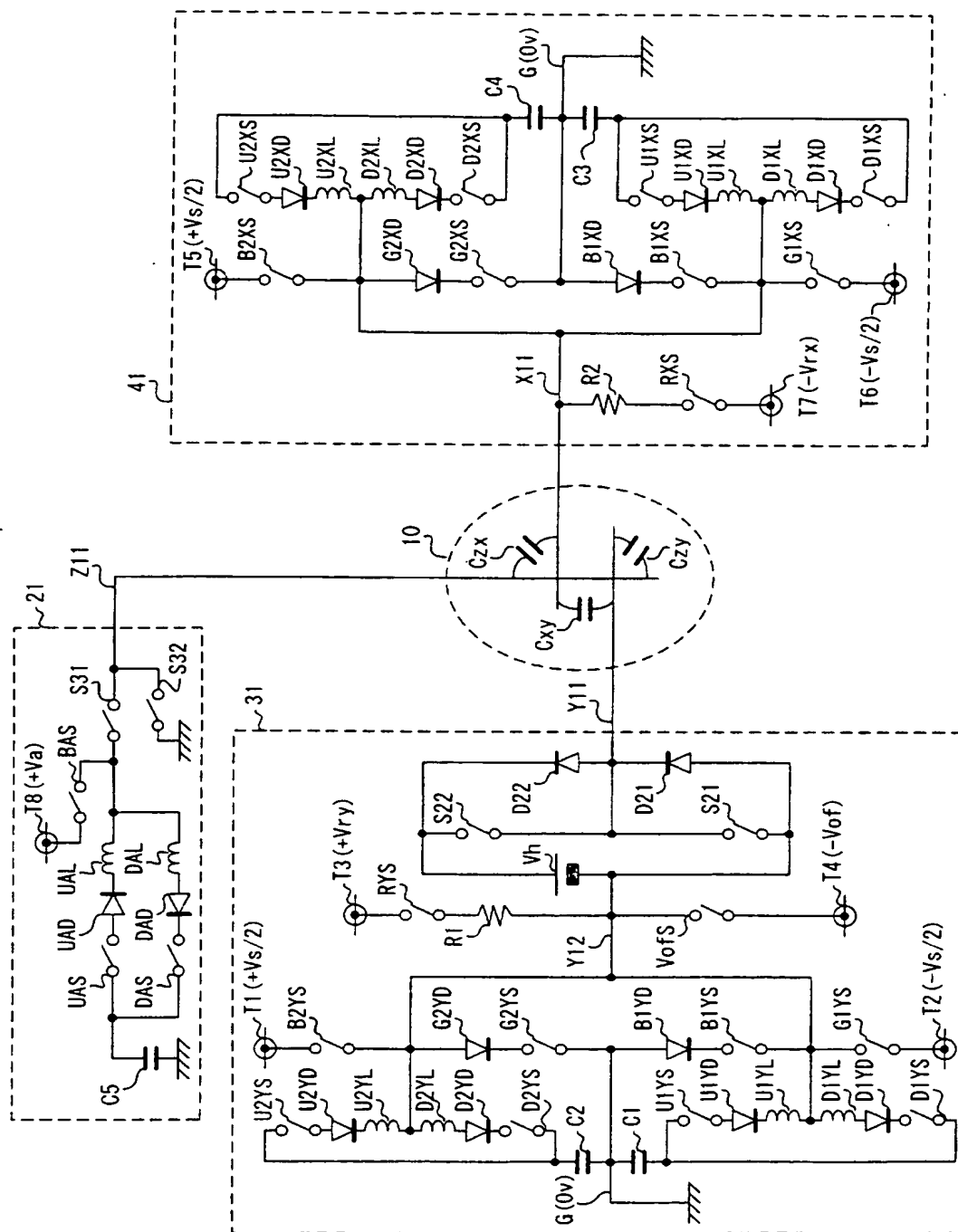




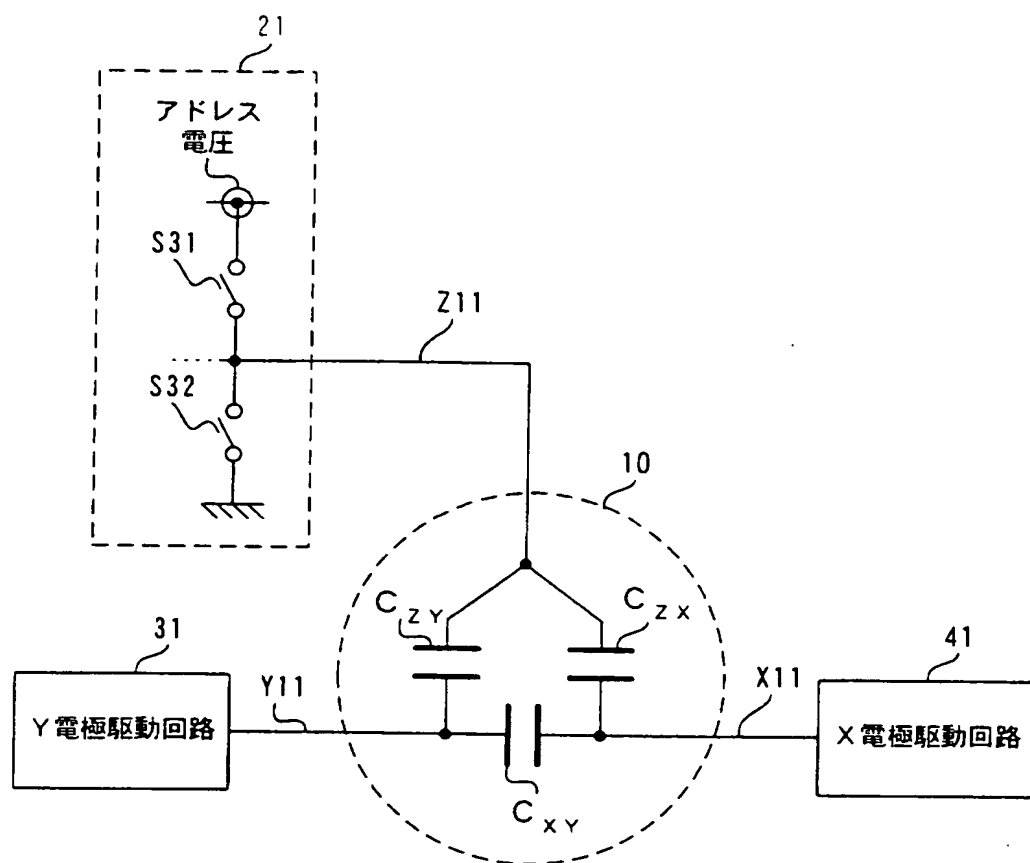
【図 3】



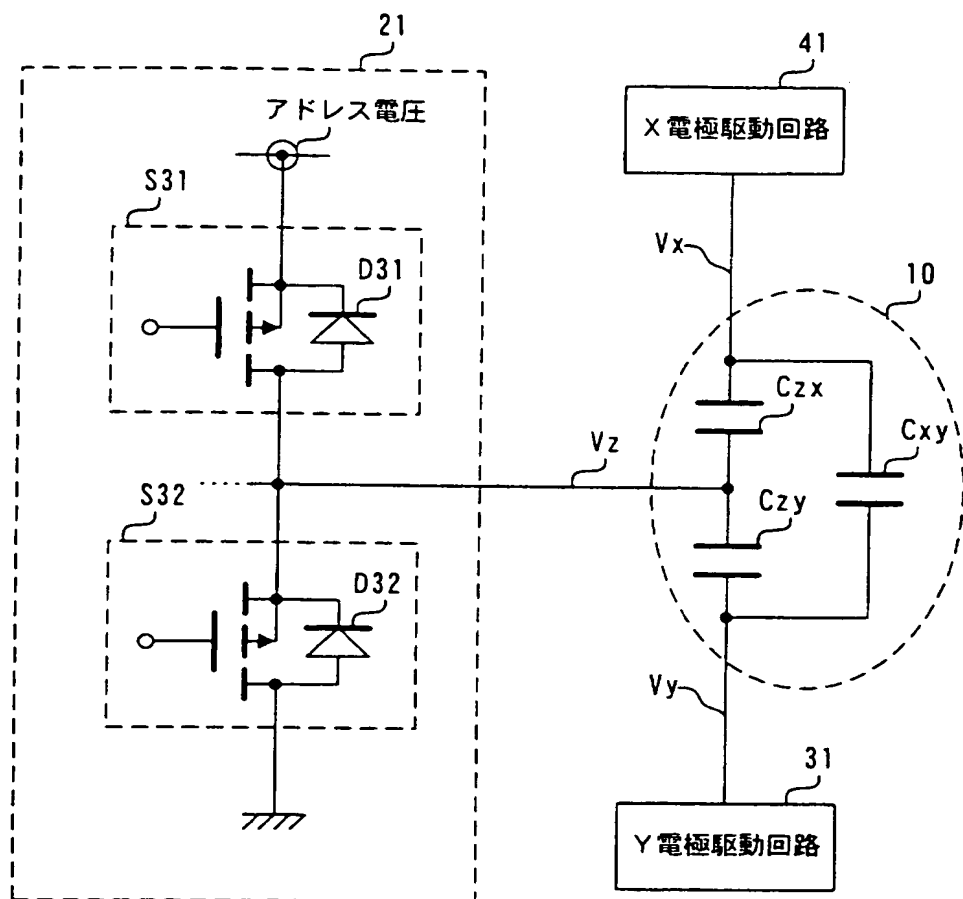
【図 4】



【図 5】

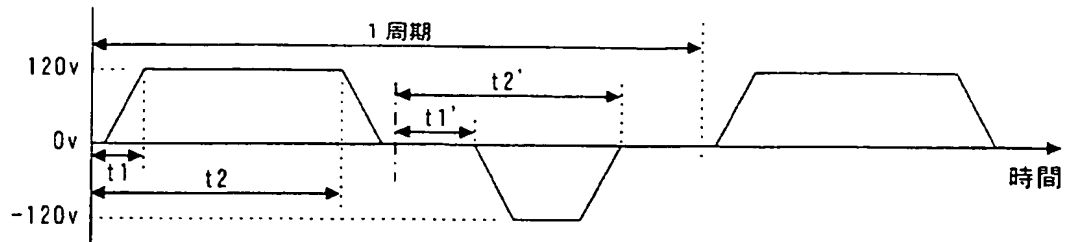


【図 6】

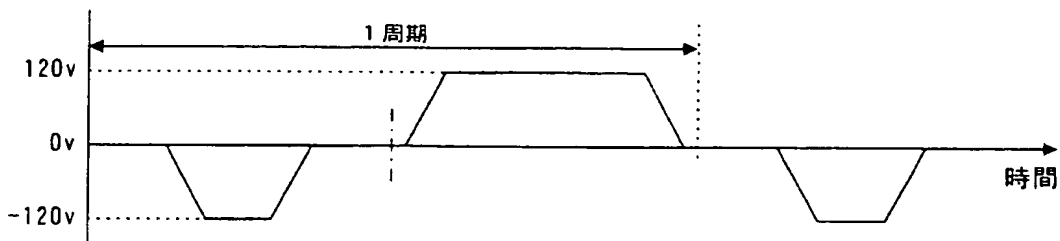


【図 7】

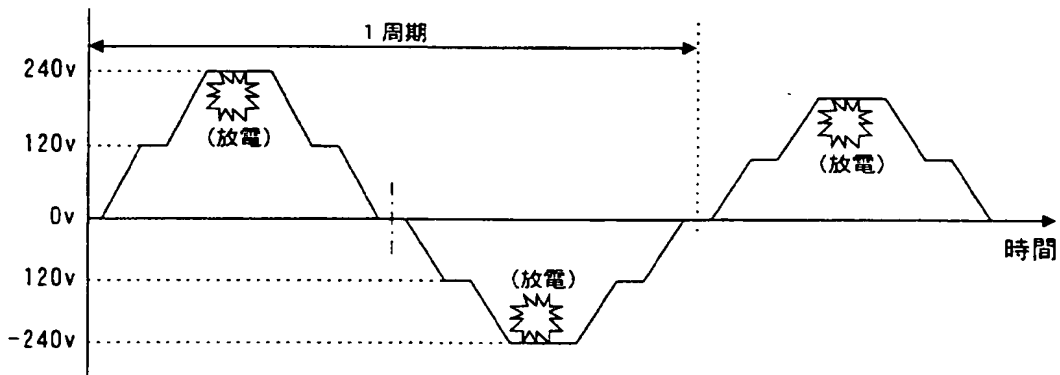
(7 A) X電極におけるサスティンパルス信号の電圧波形



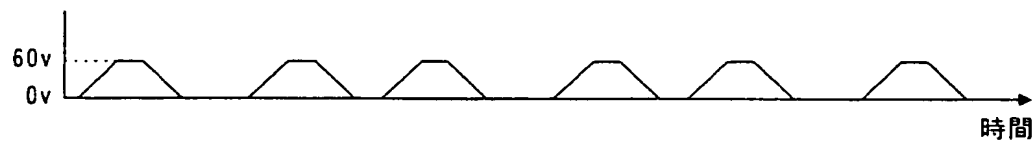
(7 B) Y電極におけるサスティンパルス信号の電圧波形



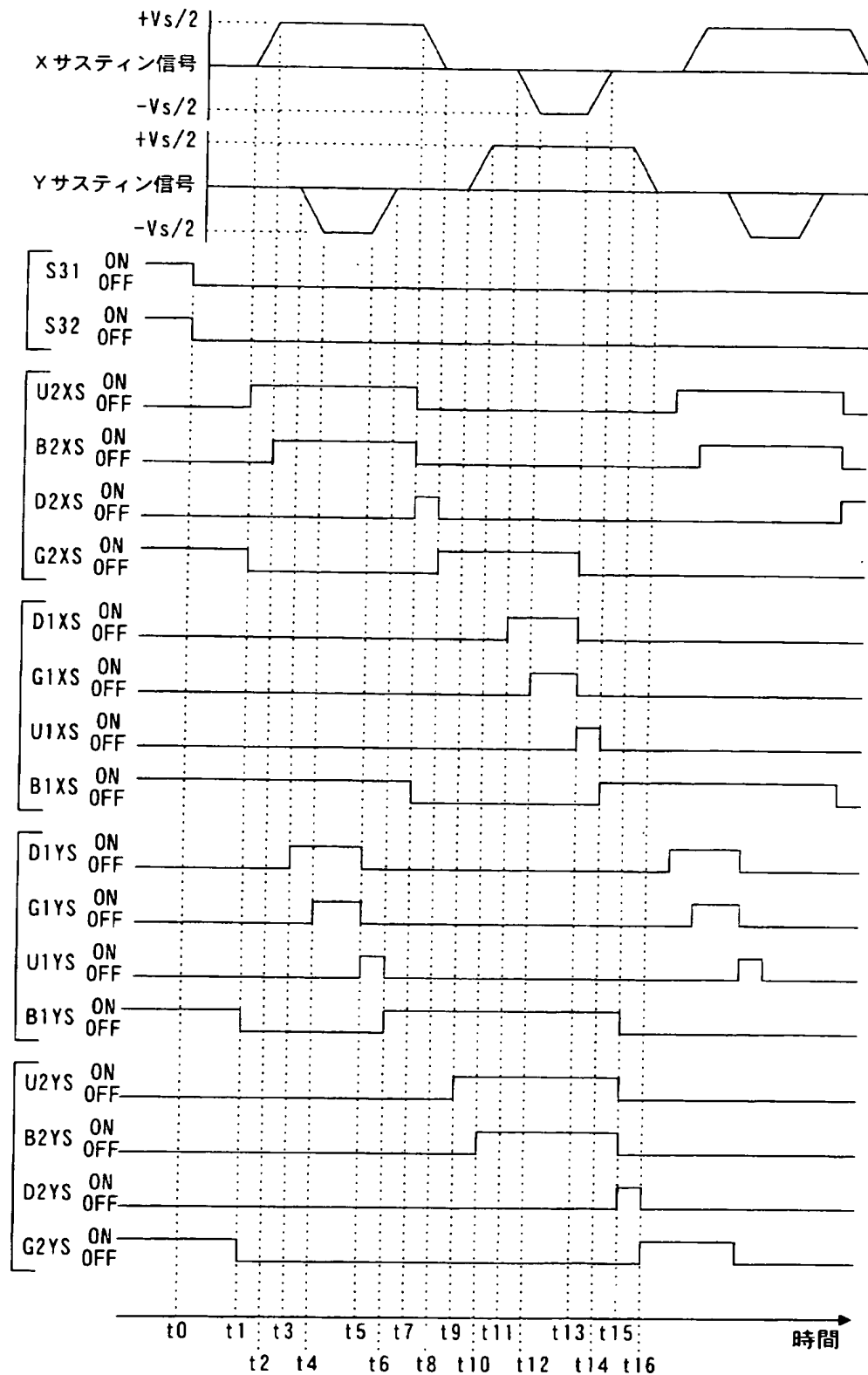
(7 C) (X-Y) の電圧波形



(7 D)  $(X+Y)/2$  の電圧波形



【図 8】



【書類名】 要約書

【要約】

【課題】 サスティン行程における消費電力を低減可能な表示パネルの駆動方法を提供する。

【解決手段】 サスティン行程の期間中は、表示パネルの列電極に接続された列電極駆動回路の出力端を高インピーダンス状態に保つ。Xサスティン信号を複極性のパルス信号として、その各半周期において、負極性パルスの立ち上がり開始時間を正極性パルスの立ち上がり完了時間よりも長く設定し、正極性パルスの立ち下がり開始時間を、負極性パルスの立ち下がり完了時間よりも長く設定する。また、Yサスティン信号は、Xサスティン信号の位相を半周期ずらした信号とする。なお、上記パルスの極性を逆転させても良い。

【選択図】 図 7

特願 2 0 0 3 - 1 1 2 5 3 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 1 6 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都目黒区目黒 1 丁目 4 番 1 号

氏 名

パイオニア株式会社